

1/5/4 (Item 4 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

014440261 \*\*Image available\*\*

WPI Acc No: 2002-260964/ 200231

Related WPI Acc No: 1993-072528

XRPX Acc No: N02-202579

**Semiconductor device has silicon oxide film acting as side wall of element separation groove and is formed on impurity diffusion layer on silicon substrate**

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001223266	A	20010817	JP 91168073	A	19910709	200231 B
			JP 2000394103	A	19910709	

Priority Applications (No Type Date): JP 91168073 A 19910709; JP 2000394103 A 19910709

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 2001223266	A		8	H01L-021/76	Div ex application JP 91168073
---------------	---	--	---	-------------	--------------------------------

Abstract (Basic): **JP 2001223266** A

NOVELTY - A silicon oxide film (6) acting as side wall of the element separation groove, is formed on an impurity diffusion layer (5) on a silicon substrate (1A). A silicon nitride film (7) is formed in the element separation groove.

USE - Semiconductor device with minute element separation area on silicon substrate.

ADVANTAGE - Since the reversal of a semiconductor substrate of non-elemental area is prevented, pressure resistant property of semiconductor device is improved and leakage current is re- strained by which high densification semiconductor device can be attained.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the manufactured semiconductor device.

Silicon substrate (1A)

Impurity diffusion layer (5)

Silicon oxide film (6)

Silicon nitride film (7)

pp; 8 DwgNo 4/11

Title Terms: SEMICONDUCTOR; DEVICE; SILICON; OXIDE; FILM; ACT; SIDE; WALL; ELEMENT; SEPARATE; GROOVE; FORMING; IMPURE; DIFFUSION; LAYER; SILICON; SUBSTRATE

Derwent Class: U11

International Patent Class (Main): H01L-021/76

International Patent Class (Additional): H01L-027/08; H01L-029/78;

H01L-029/786

File Segment: EPI

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-223266  
(P2001-223266A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 21/76		H 0 1 L 27/08	3 3 1 A
27/08	3 3 1	21/76	L
29/78			S
29/786		29/78	3 0 1 R
			6 2 1
審査請求 有 請求項の数 3 O L (全 8 頁)			

(21) 出願番号 特願2000-394103 (P2000-394103)  
(62) 分割の表示 特願平3-168073の分割  
(22) 出願日 平成3年7月9日 (1991.7.9)

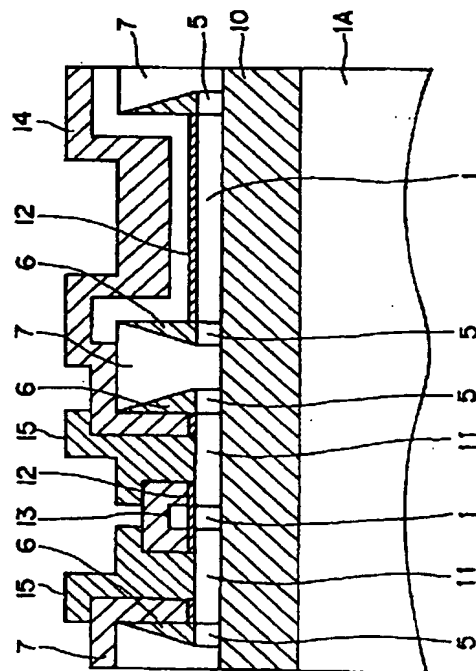
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 白川 一彦  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 100102277  
弁理士 佐々木 晴康 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 耐圧特性の改善およびリーク電流の抑制ができる半導体装置の製造方法を提供する。

【解決手段】 本発明の半導体装置は、絶縁膜上の半導体層に形成された半導体装置において、前記半導体層が素子間分離溝によって分離され、前記素子間分離溝の側壁に不純物拡散層からなる反転防止層を有することを特徴とする



1

## 【特許請求の範囲】

【請求項1】 絶縁膜上の半導体層に形成された半導体装置において、前記半導体層が素子間分離溝によって分離され、前記素子間分離溝の側壁に不純物拡散層からなる反転防止層を有することを特徴とする半導体装置。

【請求項2】 前記素子間分離溝上に絶縁膜を有し、前記素子間分離溝上の絶縁膜と組成の異なる絶縁膜を、前記反転防止層上に有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記素子間分離溝上の絶縁膜が窒化シリコン膜であり、前記反転防止層上の絶縁膜が酸化シリコン膜であることを特徴とする請求項2に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、シリコン基板に極微細な素子間分離領域を形成できる半導体装置に関する。

## 【0002】

【従来の技術】従来、この種の半導体装置の製造方法としては、LOCOS（ローカル・オキシデーション・オブ・シリコン）分離法を用いた以下に説明するものがある。

【0003】この製造方法は、まず、図9（A）に示すように、シリコン基板51A上のシリコン酸化膜60の上のSOI（シリコン・オン・インシュレータ）基板51を熱酸化して、第1のシリコン酸化膜52を形成する。次に、図9（B）に示すように、上記シリコン酸化膜52上に、CVD（化学的気相成長）法などにより、シリコン窒化膜58を積層する。

【0004】次に、図9（C）に示すように、通常のフォトリソグラフィ技術により、SOI基板51の素子領域に対応する部分にフォトレジストパターン53を形成する。次に、図10（D）に示すように、フォトレジストパターン53をマスクとして、RIE（リアクティブ・イオン・エッチング）法により、シリコン窒化膜58のエッチングを行ない、フィールド部となる非素子領域の部分のシリコン窒化膜58を除去する。

【0005】次に、図10（E）に示すように、上記フォトレジストパターン53を除去してから、シリコン窒化膜58を耐酸化マスクとして、SOI基板51の熱酸化を行う。すると、シリコン窒化膜58で覆われていない領域のSOI領域51が酸化され、上記フィールド部にシリコン酸化膜59が成長する。そして、この成長と共に、このシリコン酸化膜59は、SOI基板51の下のシリコン基板51Aと一体となる。

【0006】次に、シリコン窒化膜58と、SOI基板51上のシリコン酸化膜52を除去して、図10（F）に示すようにSOI基板51が各素子領域に分離される。

2

【0007】以降、通常のMOSFET作成プロセスにより、図11に示す断面構造のSOIMOSFET半導体装置を形成する。図11において、61はソース・ドレイン拡散層、62はゲート絶縁膜、63はゲート電極、64は層間絶縁膜、65は金属配線である。

## 【0008】

【発明が解決しようとする課題】ところが、LOCOS分離法を用いた上記従来の半導体装置の製造方法では、図10（E）に示すように、シリコン窒化膜58のパターンエッジ58aが、成長したシリコン酸化膜59によって押し上げられる形になるいわゆるバズビークが発生する。このため、非素子領域に寸法変化が生じるという問題がある。

【0009】また、熱酸化で成長したシリコン酸化膜59によって、SOI基板51の底部側のエッジ部51bが裾野の形状となってしまう。このため、上記シリコン酸化膜59による素子間分離幅は、フォトリソグラフィ技術で形成したフォトレジストパターン53のパターン間隔よりも広くなる。したがって、上記従来の製造方法では、フォトリソグラフィ技術で形成できる最小のパターン間隔よりも素子間分離幅が広くなり、半導体装置の高密度化および高集積化が妨げられるという問題がある。

【0010】更に、図11に示すようにSOIMOSFET半導体装置を形成した場合に、SOI基板51のエッジ部51bにサイドチャネルが発生して耐圧が低下したり、エッジ部51bにおいてリーク電流が増加しやすくなり素子特性が劣化するという問題もある。

【0011】そこで、本発明の目的は、極微細な素子間分離ができると共に、耐圧特性の改善およびリーク電流の抑制ができ、高密度化と高信頼性を図ることができる半導体装置を提供することにある。

## 【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、絶縁膜上の半導体層に形成された半導体装置において、前記半導体層が素子間分離溝によって分離され、前記素子間分離溝の側壁に不純物拡散層からなる反転防止層を有することを特徴としている。

【0013】また、前記素子間分離溝上に絶縁膜を有し、前記素子間分離溝上の絶縁膜と組成の異なる絶縁膜を、前記反転防止層上に有することを特徴とする。

【0014】さらに、前記素子間分離溝上の絶縁膜が窒化シリコン膜であり、前記反転防止層上の絶縁膜が酸化シリコン膜であることを特徴とするこのように、本発明の半導体装置によれば、極微細な素子間分離が可能になって、半導体装置の高密度化が図れる。また、上記素子間分離溝の両脇の不純物拡散層が、素子領域の半導体基板の反転を防止するので、半導体装置の耐圧特性が改善され、リーク電流が抑制される。

【0015】

【発明の実施の形態】以下、本発明を図示の実施例により詳細に説明する。

【0016】図1～図4を順に参照しながら、SOI基板に対して素子間分離を行う第1の実施例を説明する。

【0017】(i) まず、図1(A)に示すように、シリコン基板1A上のシリコン酸化膜10の上のSOI基板1上にCVD(化学気相成長)法により、第1の絶縁膜としてのPSG膜(リンケイ素ガラス膜)2を500nm程度の膜厚に積層する。

【0018】(ii) 次に、図1(B)に示すように、通常のフォトリソグラフィ技術を用いて、SOI基板1の素子領域上のPSG膜2の表面にフォトレジストパターン3を形成する。

【0019】(iii) 次に、図1(C)に示すように、フォトレジストパターン3をマスクにしてPSG膜2をRIE法によりエッチングすることにより、SOI基板1の素子領域上のみにPSG膜2を残す。そして、そのPSG膜2をマスクにして、イオン注入4を行い、反転防止層を形成するための不純物拡散層5を、SOI基板1の非素子領域に形成する。

【0020】(iv) 次に、フォトレジストパターン3を除去してから、図2(D)に示すように、PSG膜2および不純物拡散層5の上に第2の絶縁膜としてのシリコン酸化膜6を、CVD法により700nm厚程度の膜厚で積層する。

【0021】(v) 次に、図2(E)に示すように、シリコン酸化膜6に対して全面RIE(リアクティブ・イオン・エッチング)によるエッチバック処理を行ない、PSG膜の側壁付近だけにシリコン酸化膜6を残す。

【0022】(vi) 次に、図2(F)に示すように、PSG膜2とシリコン酸化膜6をマスクとして、RIE法によりSOI基板1の不純物拡散層5をエッチングすることにより、素子間分離溝Tを形成すると共に、素子間分離溝Tの両脇に不純物拡散層5を残す。この不純物拡散層5が反転防止層となる。

【0023】(vii) 次に、図3(G)に示すように、素子間分離溝TおよびPSG膜2とシリコン酸化膜6上に、CVD法により第3の絶縁膜としてのシリコン窒化膜7を1 $\mu$ mの程度の膜厚で積層する。

【0024】(viii) 次に、図3(H)に示すように、シリコン窒化膜7に対して全面RIEによるエッチバック処理を行ない、シリコン窒化膜7の上面をPSG膜2の上面を一致させる。

【0025】(ix) 次に、図3(I)に示すように、PSG膜2のみを選択的に除去し、素子領域のSOI基板1の表面を露出させる。

【0026】上記(i)～(ix)の工程により、素子間分離が完了する。その後、通常のMOSFET作成プロ

セスにより、図4に示す断面構造のSOIMOSFET半導体装置を形成する。図4において、11はソース・ドレイン拡散層、12はゲート絶縁膜、13はゲート電極、14は層間絶縁膜、15は金属配線である。

【0027】上記実施例によれば、フォトリソグラフィ法によって形成したフォトレジストパターン3が規定するSOI基板1の非素子領域の幅が素子間分離幅になる。したがって、フォトリソグラフィ法で可能な最小の線幅を素子間分離幅にでき、極微細な素子間分離が可能になり、SOIMOSFET半導体装置を高密度化できる。

【0028】また、非素子領域のSOI基板1を熱酸化させずに素子間分離を行なうので、バーズピークが発生せず非素子領域に寸法変化を生じることがない。

【0029】また、素子間分離溝Tの両脇の不純物拡散層5が素子領域のSOI基板1の反転を防止するので、SOIMOSFET半導体装置の耐圧特性を改善でき、リーク電流を抑制できる。

【0030】次に、図5～図8を順に参照しながら、バルクシリコン基板に対して素子間分離を行う第2の実施例を説明する。

【0031】(i) まず、図5(A)に示すように、バルクシリコン基板21上にCVD法により、第1の絶縁膜としてのPSG膜22を500nm程度の膜厚に積層する。

【0032】(ii) 次に、図5(B)に示すように、通常のフォトリソグラフィ技術を用いて、バルクシリコン基板21の素子領域上のPSG膜22の表面にフォトレジストパターン23を形成する。

【0033】(iii) 次に、図5(C)に示すように、フォトレジストパターン23をマスクにしてPSG膜22をRIE法によりエッチングすることにより、バルクシリコン基板21の素子領域上のみにPSG膜22を残す。そして、そのPSG膜22をマスクにして、イオン注入24を行い、反転防止層を形成するための不純物拡散層25を、バルクシリコン基板21の非素子領域に形成する。

【0034】(iv) 次に、フォトレジストパターン23を除去してから、図6(D)に示すように、PSG膜22および不純物拡散層25の上に第2の絶縁膜としてのシリコン酸化膜26を、高温のCVD法により700nm程度の膜厚で積層する。

【0035】(v) 次に、図6(E)に示すように、シリコン酸化膜26に対して全面RIEによるエッチバック処理を行ない、PSG膜22の側壁付近だけにシリコン酸化膜26を残す。

【0036】(vi) 次に、図6(F)に示すように、PSG膜22とシリコン酸化膜26をマスクとして、RIE法により不純物拡散層25およびバルクシリコン基板21をエッチングすることにより、素子間分離溝Uを

5

形成する。

【0037】 (vii) 次に、図7 (G) に示すように、素子間分離溝UおよびPSG膜22とシリコン酸化膜26上に、CVD法により第3の絶縁膜としてのシリコン窒化膜28を1  $\mu$ m程度の膜厚で積層する。

【0038】 (viii) 次に、図7 (H) に示すように、シリコン窒化膜28に対して全面RIEによるエッチング処理を行ない、シリコン窒化膜28の上面とPSG膜22の上面を一致させる。

【0039】 (ix) 次に、図7 (I) に示すように、PSG膜22をフッ酸等の水溶液によりエッチング除去して、素子領域のバルクシリコン基板21の表面を露出させる。

【0040】 上記 (i) ~ (ix) の工程により、素子間分離が完了する。この後、通常のMOSFET作成プロセスにより、図8に示す断面構造のMOSFETを形成する。図8において、31はソース・ドレイン拡散層、32はゲート絶縁膜、33はゲート電極、34は層間絶縁膜、35は金属配線である。

【0041】 上記実施例によれば、フォトリソグラフィ法によって形成したフォトレジストパターン23が規定するバルクシリコン基板21の非素子領域の幅が素子間分離幅になる。したがって、フォトリソグラフィ法で可能な最小の線幅を素子間分離幅にでき、極微細な素子間分離が可能になり、MOSFET半導体装置を高密度化できる。

【0042】 また、非素子領域のバルクシリコン基板21を熱酸化させずに素子間分離を行なうので、バズビークが発生せず非素子領域に寸法変化を生じることがない。

【0043】 また、素子間分離溝Uの両脇の不純物拡散層25が素子領域のバルクシリコン基板21の反転を防止するので、MOSFET半導体装置の耐圧特性を改善でき、リーク電流を抑制できる。

【0044】 尚、第1、第2の実施例では、第1の絶縁膜として500nm程度の膜厚のPSG膜を用い、第2の絶縁膜として700nm程度の膜厚のシリコン酸化膜を用い、第3の絶縁膜として1  $\mu$ m程度の膜厚のシリコ

6

ン窒化膜を用いたが、第1、第2、第3の絶縁膜の膜厚、膜種は第1、第2の実施例のものに限られるものではない。

【0045】

【発明の効果】 以上の説明より明らかなように、本発明の半導体装置によれば、極微細な素子間分離が可能になって、半導体装置の高密度化が図れる。また、上記非素子領域の半導体基板の反転を防止するので、半導体装置の耐圧特性を改善でき、リーク電流を抑制できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の工程説明図である。

【図2】 上記実施例の工程説明図である。

【図3】 上記実施例の工程説明図である。

【図4】 上記実施例により製造した半導体装置の断面図である。

【図5】 本発明の第2の実施例の工程説明図である。

【図6】 上記実施例の工程説明図である。

【図7】 上記実施例の工程説明図である。

【図8】 上記実施例により製造した半導体装置の断面図である。

【図9】 従来例の工程説明図である。

【図10】 従来例の工程説明図である。

【図11】 従来例により製造した半導体装置の断面図である。

【符号の説明】

1, 51 SOI基板

1A, 51A シリコン基板

2, 22 PSG膜

3, 23, 53 フォトレジストパターン

5, 25 不純物拡散層

6, 10, 26, 52, 60 シリコン酸化膜

7, 28, 58 シリコン窒化膜

11, 33, 61 ソース・ドレイン拡散層

12, 32 ゲート絶縁膜

13, 33 ゲート電極

14, 34, 64 層間絶縁膜

15, 35, 65 金属配線

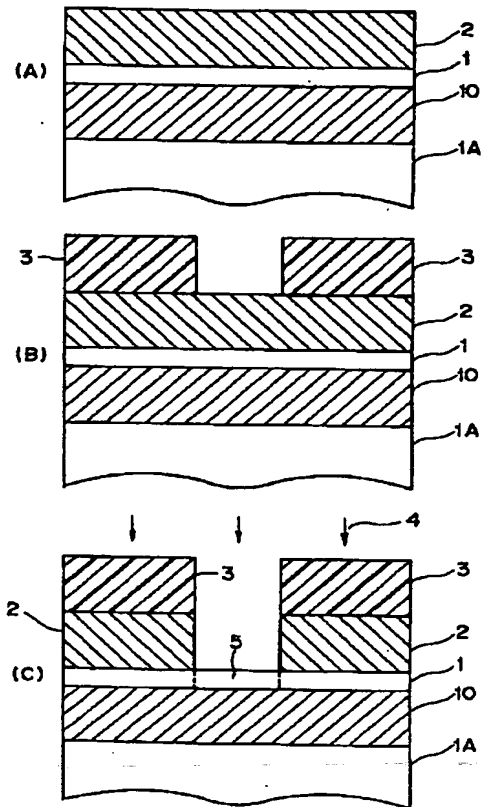
T, U 素子間分離溝

10

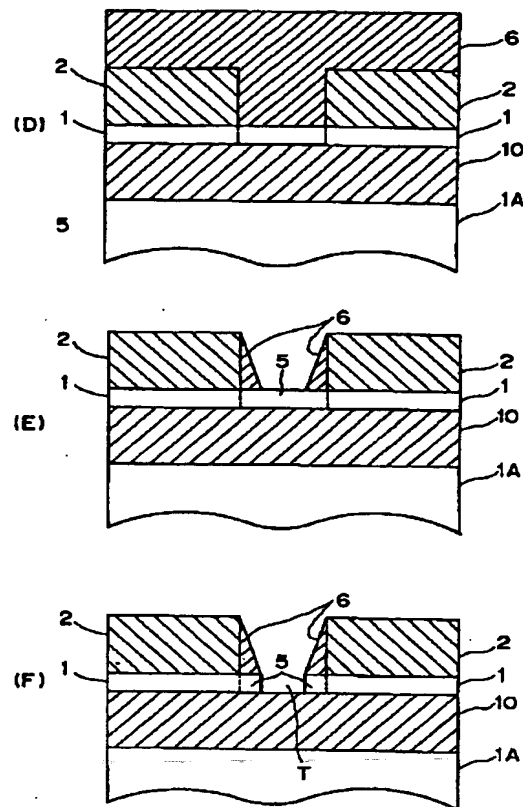
20

30

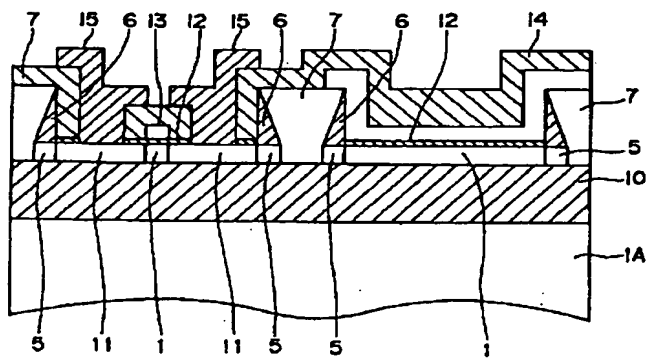
【図1】



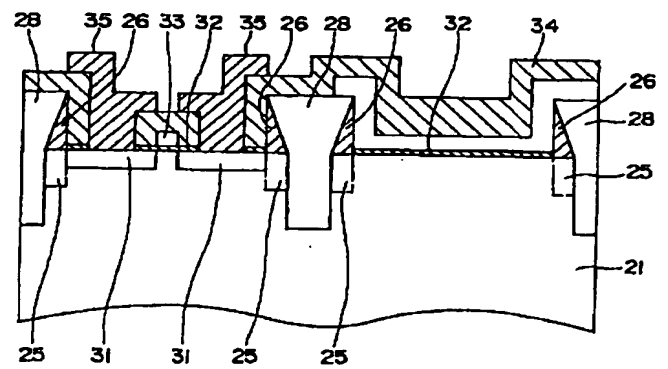
【図2】



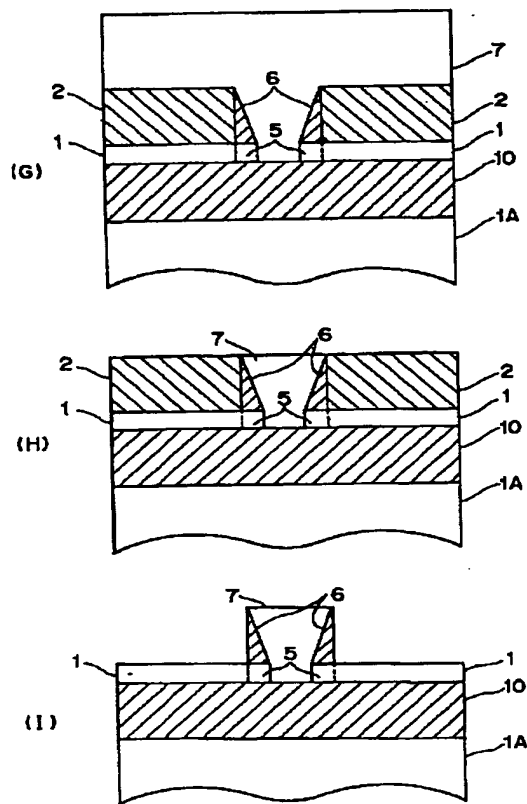
【図4】



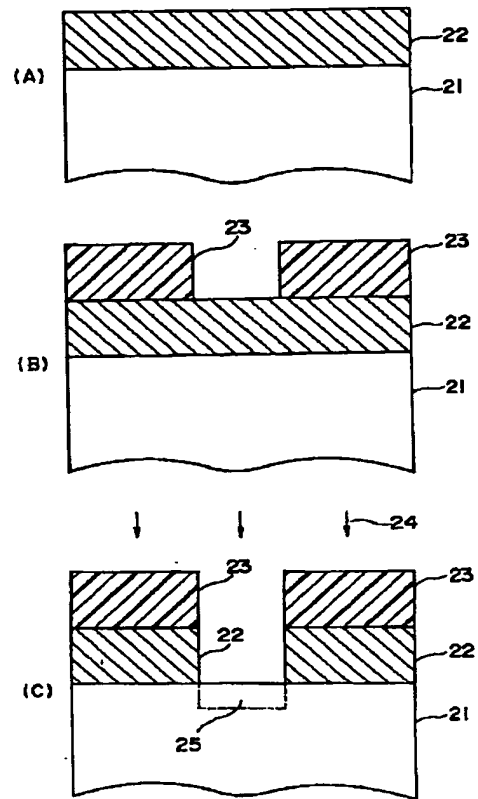
【図8】



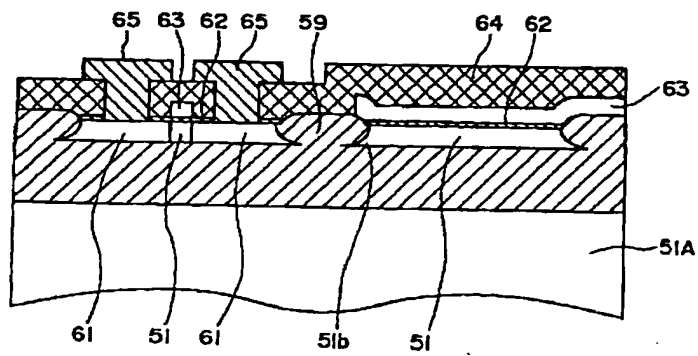
【図 3】



【図 5】

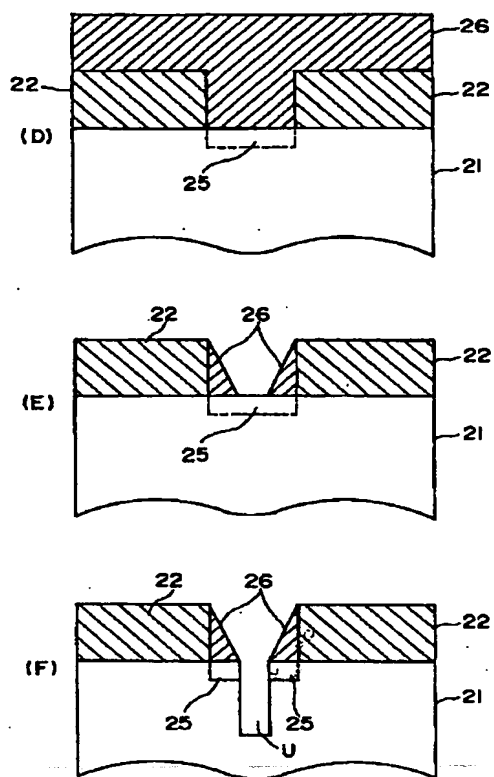


【図 11】

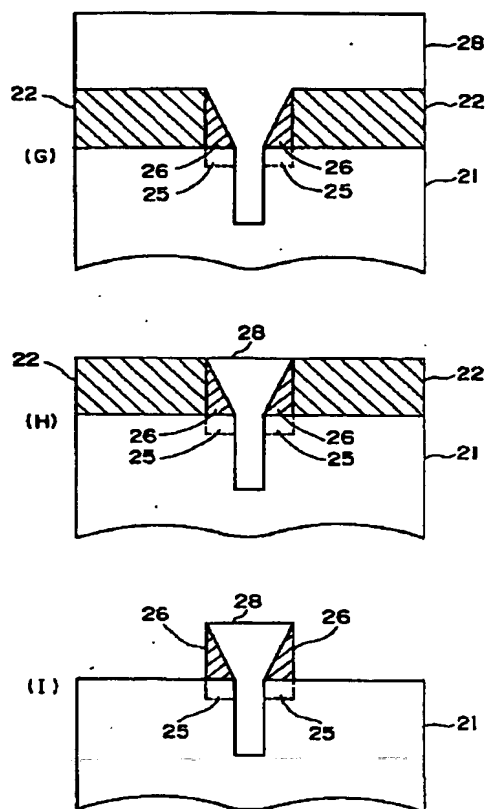




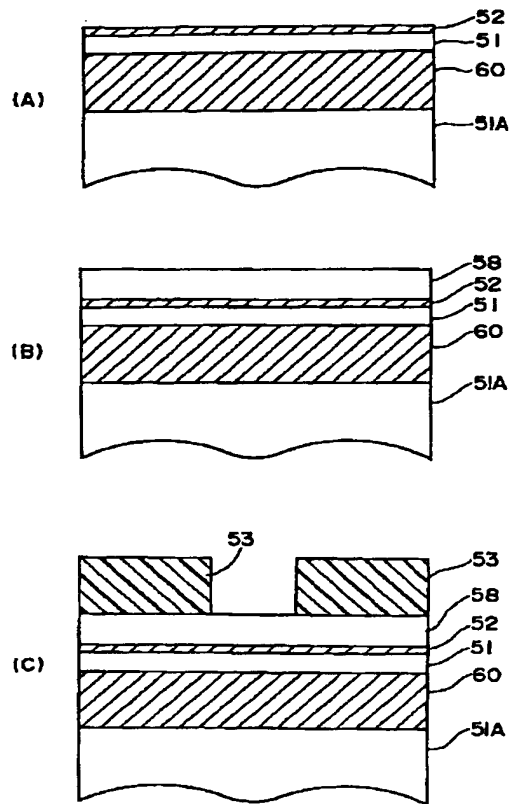
【図 6】



【図 7】



【図 9】



【図 10】

